

(2)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-352827

(P2000-352827A)

(43) 公開日 平成12年12月19日 (2000.12.19)

(51) Int.Cl.
G 03 F 7/36
7/42
H 01 L 21/027
21/3065
21/306

識別記号

F I
G 03 F 7/36
7/42
H 01 L 21/30
5 7 2 A 5 F 0 4 3
5 7 2 B 5 F 0 4 6
21/302 H

テマコード(参考)

2 H 0 9 6

5 F 0 0 4

審査請求 有 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平11-165681
(22) 出願日 平成11年6月11日 (1999.6.11)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 青木 秀充
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 100088328
弁理士 金田 鶴之 (外2名)

最終頁に続く

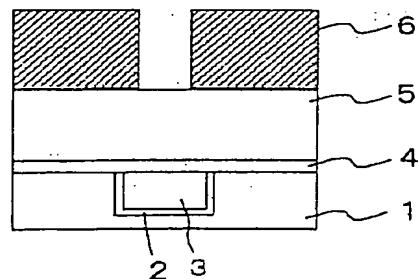
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

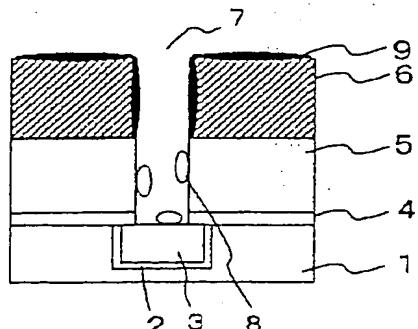
【課題】 銅配線や低誘電率膜などの易酸化性膜を形成後、これらの膜を露出させるドライエッチングを行った際に生じるレジスト表面硬化層やレジスト膜を、易酸化性膜に損傷を与えることなく除去する技術を提供すること。

【解決手段】 レジスト膜6をマスクとしてシリコン塗化膜4が露出するまでHSQ膜5およびシリコン塗化膜4をドライエッチングし、スルーホール7を形成する。つづいて水素/窒素プラズマ処理を行い、レジスト表面硬化層9の形態・性状を変化させる。その後、アミン系剥離液を用いてウェット処理を行うことにより、レジスト膜6、レジスト表面硬化層9およびエッチング残渣8を除去する。

(a)



(b)



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】半導体基板上に易酸化性膜を形成する工程と、該易酸化性膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとしてドライエッティングを行い前記易酸化性膜を露出させる工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に銅系金属膜を形成する工程と、該銅系金属膜の上に絶縁膜を形成する工程と、該絶縁膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとしてドライエッティングを行い前記絶縁膜中に前記銅系金属膜に達する孔を設ける工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】半導体基板上に銅系金属膜を形成する工程と、該銅系金属膜を覆うエッティング阻止膜を形成する工程と、該エッティング阻止膜の上に絶縁膜を形成する工程と、該絶縁膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとしてドライエッティングを行い前記絶縁膜中に前記エッティング阻止膜に達する孔を設ける工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程と、前記エッティング阻止膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】半導体基板上に、HSQ、有機SOGまたは無機SOGからなる絶縁膜を形成する工程と、該絶縁膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとして前記絶縁膜をドライエッティングする工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】前記非酸化性ガスが、水素、アンモニア、窒素、不活性ガス、またはこれらの混合ガスであることを特徴とする請求項1乃至4いずれかに記載の半導体装置の製造方法。

【請求項6】前記非酸化性ガスが、水素を含む還元性ガスであることを特徴とする請求項1乃至4いずれかに記載の半導体装置の製造方法。

【請求項7】前記ウエット処理を、アミン化合物を含む剥離液を用いて行うことを特徴とする請求項1乃至6いずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、レジスト膜をマスクとしてドライエッティングを行った後、レジスト膜や堆積物を除去する技術に関する。

【0002】

【従来の技術】半導体装置の製造プロセスにおけるスルーホール等の形成工程はリソグラフィ技術を利用して行われ、通常、レジスト膜を形成後、これをマスクとしてドライエッティングを行い、次いでレジスト膜を除去するというステップをとる。ここで、ドライエッティングを行った際にエッティング残渣やレジスト表面硬化層等が発生するが、これらの堆積物を、半導体装置を構成する金属膜や半導体層に損傷を与えることなく除去することが重要な技術的課題となる。このようなエッティング残渣やレジスト表面硬化層等を除去する従来技術について、以下、銅配線上のスルーホール形成プロセスを例にとって説明する。

【0003】まず図3(a)に示すように埋め込み型銅配線を形成する。トランジスタ等の素子を形成した半導体基板(不図示)上にHSQ(Hydrogen Silsesquioxane)膜1を成膜した後、このHSQ膜1中に、公知のダマシンプロセスを用いてTaN膜2(バリアメタル膜)および銅膜3からなる銅配線を完成する。その上にシリコン窒化膜4、HSQ膜5を形成後、さらにその上に所定の形状にパターニングしたレジスト膜6を設ける。シリコン窒化膜4の膜厚は20nm程度とする。レジスト材料としては、たとえば化学增幅型レジストを用いる。

【0004】次にレジスト6をマスクとして銅膜3が露出するまでHSQ膜5およびシリコン窒化膜4をドライエッティングし、スルーホール(孔)7を形成する(図3(b))。スルーホールの開口径は0.2μm程度とする。エッティングガスとしてはフルオロカーボン系のガスを用いる。このときスルーホールの内壁に、エッティングガスと銅膜3の反応物等からなるエッティング残渣8が付着する。また、レジスト膜6上には、レジスト表面硬化層9が形成される。このレジスト表面硬化層9は、レジスト材料や銅等がエッティングガスと反応し生成したものであり、一般に除去困難である。

【0005】図3(b)に示す工程の後、通常、基板温度を150~250°Cとした酸素プラズマアッティングによりレジスト膜6を除去し(図4)、その後、薬液を用いたウエット処理によりエッティング残渣8やレジスト残渣11等の堆積物を除去するというプロセスが採用される。

【0006】酸素プラズマアッティングは、プラズマ放電により発生させた酸素ラジカルのような活性種と、加熱により活性化したレジスト樹脂とを反応させることにより行うものである。これにより、レジストの主成分である有機樹脂が酸素プラズマ放電により生成される活性種と反応してCO₂やH₂O等のガスに分解され基板表面から除去される。酸素プラズマ中の活性酸素種や酸素イオン種

がレジスト中の有機樹脂と化学反応を起こす際、しきい値温度が存在するため、酸素プラズマアッシングを行うためにはレジストを一定温度以上にすることが必要となる。通常、基板温度を150～250℃に制御する。ところがこの温度でアッシングを行うと、銅膜の表面から内部に向かって酸化が進行し、酸化領域12が形成される(図4)。このような酸化領域12が形成されると、配線抵抗が上昇するとともに銅膜3とスルーホール埋め込み金属との接触抵抗が増大する。

【0007】このような問題を避けるため、酸素プラズマアッシングを用いずにレジスト剥離液によるウエット処理のみで、レジスト膜や堆積物等の除去を行うことも考えられる。図5はこのようなウエット処理を行った後の状態を模式的に表したものである。この処理によりレジスト膜6およびエッチング残渣8は除去される。ところが、レジスト表面硬化層9は除去されず、HSQ膜5上に残存する。レジスト表面硬化層9は、前述したように、レジスト材料や銅等がエッチングガスと反応し生成したものであり、レジスト剥離液等を用いたウエット処理では除去困難なのである。レジスト表面硬化層9が残存すると、その後の上層配線の形成時にバリアメタル膜の成膜不良等が発生し、歩留まりの低下を引き起こす原因となる。

【0008】レジスト表面硬化層9の残存を回避し、かつ銅膜3の酸化を防止するための方法として、シリコン塗化膜4の膜厚を厚くしてエッチング阻止膜とし、2段階のドライエッチングによりスルーホールを形成する方法も行われている。このプロセスについて、以下、図9～12を参照して説明する。

【0009】まず、図3(a)と同様にして図9-(a)に示すような埋め込み型銅配線を形成する。ただし、シリコン塗化膜4の膜厚は50nm程度とし、図3(a)の場合よりも厚膜とする。後の工程でシリコン塗化膜4をエッチング阻止膜として用いるためである。

【0010】次にレジスト6をマスクとしてシリコン塗化膜4が露出するまでHSQ膜5をドライエッチングし、スルーホールを形成する(図9(b))。スルーホールの開口径は0.2μm程度とする。エッチングガスとしては、シリコン塗化膜よりもシリコン酸化膜をより速くエッチングできるガスを用いる。エッチング後、スルーホールの内壁にエッチング残渣10が付着し、レジスト膜6上にはレジスト表面硬化層9が形成される。

【0011】次いで酸素プラズマアッシングによりレジスト6を除去する。このとき、HSQ膜5上にはレジスト残渣11が残存する(図10(a))。アッシング後、レジスト剥離液を用いてウエット処理を行い、上記レジスト残渣11およびエッチング残渣10を除去する(図10(b))。その後、シリコン塗化膜4をドライエッチングし、下層配線の表面を露出させる(図10(c))。エッチングガスとしてフルオロカーボン系の

ガスを用いる。このとき、スルーホール内部にはエッチング残渣8が付着する。

【0012】つづいて再度レジスト剥離液を用いてウエット処理し、エッチング残渣8を除去する(図10(d))。その後、スルーホール内部にバリアメタル膜、埋め込み導電膜を成膜し、表面を平坦化することにより多層配線を形成する。

【0013】このように、シリコン塗化膜の膜厚を厚くしてエッチング阻止膜として用いる方法を採用すれば、銅膜3の酸化をある程度防止することができる。しかしこの方法は、工程数が増加する上、シリコン塗化膜上で制御性良くドライエッチングをストップできない場合があり、銅膜3の酸化による劣化を防止できないことがある。この点について以下、説明する。

【0014】エッチングの困難な銅を用いて下層配線を形成する場合、通常、埋め込み型構造が採用され、化学的機械的研磨(Chemical Mechanical Polishing; CMP)を利用したダマシングプロセスにより配線の形成が行われる。ところが、CMP工程において、バリアメタル膜と銅膜との研磨速度の相違に起因して銅膜の中央部が凹む、いわゆるディッシングとよばれる現象がしばしば発生する(図11)。ディッシングが生じると、その上にシリコン塗化膜4を形成した際、銅膜の端部においてシリコン塗化膜4の薄膜部が発生する。また、CMP研磨によって生じた粒子が凹部に残存し、これが原因となってシリコン塗化膜4の薄膜部が発生することもある。

【0015】一方、スルーホール形成時のドライエッチング工程(図9(b))においては、配線形成箇所とレジスト開口部の目合わせずれがしばしば起こる。このようなレジストの目合わせずれが発生した場合、シリコン塗化膜4の薄膜部が生じていると、シリコン塗化膜上でドライエッチングがストップせず、銅膜3が露出することとなる(図12(a))。この場合、銅膜3に酸化領域12が発生し、配線抵抗の上昇および接触抵抗の増大といった問題が生じる(図12(b))。近年では、素子の微細化に伴い、配線幅とスルーホール径を同等とした、いわゆるボーダーレス配線が採用されることが多くなってきており、目合わせずれに起因する銅膜の損傷の問題は一層顕著となる。

【0016】さらに、開口径の異なる複数のスルーホールを形成する場合は、シリコン塗化膜上でエッチングをストップすることがさらに困難となる。開口径の小さいスルーホールではマイクロローディング効果によりエッチング速度が低下することから、開口径の大きいスルーホールにおいて、ドライエッチングが相対的に速く進行する。したがって、開口径の異なる複数のスルーホールを同一のエッチングプロセスで形成しようとすると、開口径の大きいスルーホールにおいてオーバーエッチング時間が長くなり、シリコン塗化膜のエッチングが進行するのである。

【0017】以上のことから、シリコン塗化膜をエッチング阻止膜として用いる場合、充分に厚い膜厚としなければならず、具体的には、50nm以上の膜厚が必要となる。しかし、シリコン塗化膜の膜厚を厚くすると、隣接配線間の寄生容量がフリング効果により大きくなる。図14は、この現象を説明するための図である。同一配線層にて隣接する配線50と配線51との間には、SiO₂膜54を容量膜とする寄生容量52と、SiN膜55を容量膜とする寄生容量53とが存在する。SiO₂膜の誘電率は比較的低いため寄生容量52は比較的小さい。一方、SiN膜の誘電率はSiO₂の2倍程度の値であり、寄生容量53は大きな容量を有する。すなわち、配線間の全体の寄生容量の大きさに対し、寄生容量53の大小が大きな影響を及ぼすこととなる。このため、SiN膜55の膜厚が大きくなった場合、配線50と配線51との間の寄生容量は顕著に増大し、クロストーク等の問題を引き起こすこととなる。

【0018】

【発明が解決しようとする課題】以上のように、スルーホール形成プロセスにおいて、銅膜の抵抗上昇および隣接配線間の寄生容量の増大を防止しつつ、レジスト膜やレジスト表面硬化層等を効率的に除去することは困難であった。ところが多層配線形成時のスルーホール形成プロセスにおいては、レジスト表面硬化層がわずかでも残存すると、その後に形成するバリアメタル膜が成膜不良を起こす等の問題が生じる。このような事情から、銅膜等からなる配線の劣化を招くことなく、レジスト膜およびレジスト膜上に形成されたレジスト表面硬化層を高効率で除去する技術が求められていた。

【0019】また近年においては、隣接配線間の寄生容量の低減を図るため、無機SOG(Spin On Glass)、有機SOG、HSQ(Hydrogen Silsesquioxane)等の低誘電率材料を用いて層間絶縁膜を形成する例が多くなってきている。ところが、これらの低誘電率材料は、レジスト膜を除去する際に酸素プラズマに曝されると比誘電率が上昇するという課題を有していた。

【0020】本願発明は上記事情に鑑みなされたものであって、銅配線や低誘電率膜などの易酸化性膜を形成後、これらの膜を露出させるドライエッティングを行った際に生じるレジスト表面硬化層やレジスト膜を、易酸化性膜に損傷を与えることなく除去する技術を提供することを課題とする。また、シリコン塗化膜等のエッティング阻止膜を用い2段階のドライエッティングによりスルーホール等を形成するプロセスにおいて、エッティング阻止膜の薄膜部やレジストの目合わせずれが生じた場合においても銅系金属膜に損傷を与えることなくレジスト表面硬化層やレジスト膜を除去する技術を提供することを課題とする。

【0021】

【課題を解決するための手段】上記課題を解決する本發

明によれば、半導体基板上に易酸化性膜を形成する工程と、該易酸化性膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとしてドライエッティングを行い前記易酸化性膜を露出させる工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0022】また本発明によれば、半導体基板上に銅系金属膜を形成する工程と、該銅系金属膜の上に絶縁膜を形成する工程と、該絶縁膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとしてドライエッティングを行い前記絶縁膜中に前記銅系金属膜に達する孔を設ける工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0023】また本発明によれば、半導体基板上に銅系金属膜を形成する工程と、該銅系金属膜を覆うエッティング阻止膜を形成する工程と、該エッティング阻止膜の上に絶縁膜を形成する工程と、該絶縁膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとしてドライエッティングを行い前記絶縁膜中に前記エッティング阻止膜に達する孔を設ける工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程と、前記エッティング阻止膜を除去する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0024】また本発明によれば、半導体基板上に、HSQ、有機SOGまたは無機SOGからなる絶縁膜を形成する工程と、該絶縁膜の上にレジスト膜を形成する工程と、該レジスト膜をマスクとして前記絶縁膜をドライエッティングする工程と、非酸化性ガスを用いたプラズマ処理を行う工程と、ウエット処理を行い、前記レジスト膜とともに前記ドライエッティングにより生じたレジスト表面硬化層を除去する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0025】本発明に係る半導体装置の製造方法は、いずれも、レジスト膜をマスクとしたドライエッティングプロセスを含むが、このドライエッティングにより、レジスト表面硬化層が生じる。前述のように、レジスト表面硬化層はエッティングガスとレジスト膜材料等が反応することにより形成されるものと考えられ、レジスト剥離液等では除去することが困難である。本発明においては、まず非酸化性ガスを用いたプラズマ処理を行い、次いでウエット処理を行うことで、レジスト膜および上記レジスト表面硬化層を除去する。このような方法を用いることによりレジスト表面硬化層を良好に除去できる理由は必

ずしも明らかではないが、非酸化性ガスを用いたプラズマ処理により、レジスト表面硬化層が破碎され変質して、剥離液により除去されやすい形態に変化することによるものと考えられる。

【0026】以上のように本発明は、レジスト表面硬化層を形態変化させる手段として非酸化性ガスによるプラズマ処理を用いる点に特徴を有している。なお、非酸化性ガスによるプラズマ処理をアッショングの手段として用いる方法は従来からも行われており（特開平5-160022号公報等）、これらはプラズマの利用形態が異なる点で本発明とは本質的に相違する。

【0027】

【発明の実施の形態】本発明における易酸化性膜とは、酸素雰囲気に曝されることによって容易に酸化し、その特性が損なわれる膜をいう。

【0028】このような膜として、たとえば、銅系金属膜が挙げられる。銅系金属膜は、酸素雰囲気に曝されると、その表面から内部に酸化が容易に進行し低抵抗という特性が損なわれることから、易酸化性膜の典型例として挙げられる。銅系金属膜とは銅または銅合金から金属膜をいい、配線として用いられる膜のほか、層間接続プラグ等に用いられる膜等を含む。銅合金とは、たとえば銅／アルミニウム合金等をいう。このうち、たとえば銅含有量が90重量%以上の銅を主成分とする膜を用いた場合、本発明の効果がより顕著となる。銅系金属膜の成膜は種々の方法により行うことができ、めっき法やスパッタ法、CVD法等が用いられる。また、銅系金属膜を配線やプラグとして用いる場合、ダマシン法等を用いて形成することができる。すなわち、層間絶縁膜の所定箇所に凹部を形成した後、凹部を埋め込むように銅系金属膜を成膜し、さらに銅系金属膜の不要部分を除去することにより銅系金属膜を形成することができる。銅系金属膜の不要部分の除去は、CMP等により行う。

【0029】また、本発明における易酸化性膜として、HSQ、有機SOG、無機SOG等の低誘電率材料からなる絶縁膜を挙げることができる。これらの低誘電率材料は、酸素雰囲気に曝されると低誘電率という特性が損なわれることから、易酸化性膜の典型例として挙げられる。

【0030】本発明は、易酸化性膜の酸化を防止しつつ、レジスト膜やレジスト表面硬化層を効率良く除去する技術を提供することを目的とするものである。したがって、本発明における易酸化性膜としては、酸化によりその特性が損なわれる種々の膜が含まれる。上述した例はその典型例を示したものであって、これらに限定されるものではない。

【0031】本発明における非酸化性ガスとは、実質的に酸素を含まないガスをいう。たとえば、酸素含有率が5000ppm以下、好ましくは100ppm以下のガスをいう。このようなガスとして、水素、アンモニア、

窒素、不活性ガス、あるいはこれらの混合ガスを挙げることができる。このうち、水素、窒素、またはこれらの混合ガスが好ましく用いられる。非酸化性ガスは水素を含む還元性ガスであることが好ましい。このようにすれば、易酸化性膜の酸化を一層防止しつつ、レジスト膜やレジスト表面硬化層を除去することができる。ここで、還元性ガスとは、還元作用を有するガスをいい、水素、あるいは水素に上述したような種々のガスを混合したガス等が挙げられる。たとえば、水素と、窒素および／または不活性ガスとを含むガス等である。非酸化性ガスを、水素を含む還元性ガスとする場合、水素含有率は特に制限がないが、安全性等を考慮すれば、1～50体積%とすることが好ましい。

【0032】非酸化性ガスの流量は、処理を行うチャンバーの体積や排気量等を考慮し、安定したプラズマ処理が実現できるように適宜に設定される。通常は10～200sccm程度とする（混合ガスを用いる場合は合計量）。なお、本発明において非酸化性ガスを用いたプラズマ処理を行う際の基板温度や圧力については特に制限がないが、たとえば、温度については50～250°C、圧力については2torr以下とすることができる。

【0033】本発明において、非酸化性ガスを用いたプラズマ処理を行う際、基板にRFバイアスを印加してもしなくてもよい。RFバイアスを印加する場合は、たとえば、半導体基板を高周波電源に接続した電極上に載置し、半導体基板にRFバイアスを印加した状態で非酸化性ガスを用いたプラズマ処理を行う。このようにした場合、レジスト表面に高エネルギーの活性種による衝撃を与えることができ、レジスト上のレジスト表面硬化層をより充分に破碎・変質させ、剥離液を用いたウェット処理によるレジスト表面硬化層の除去を一層容易にできることがある。RFバイアスは、プラズマ処理装置の種類等により適宜設定されるが、通常、10W～50Wとされる。あまり高いバイアスをかけると、銅配線や低誘電率膜等の易酸化性膜の表面が損傷を受ける場合がある。なお上記バイアスはプラズマ中の活性種が基板にはほぼ垂直に加速されるように印加することが好ましく、この観点から、RFバイアスを印加する場合は圧力を0.1m torr～1m torrと低く設定することが好ましい。

【0034】非酸化性ガスを用いたプラズマ処理の処理時間は、装置の種類等にもよるが、たとえば、30sec～10min、好ましくは1min～3minとする。なお、非酸化性ガスを用いたプラズマ処理のみでもレジスト膜を剥離することができるが、除去速度が遅く、剥離に長時間を要することとなる。たとえば、水素／窒素プラズマ処理のみにより化学增幅型レジストの剥離を行うと、0.1μm/min程度の除去速度となる。

【0035】本発明においては、非酸化性ガスを用いたプラズマ処理の後、ウェット処理を行う。ウェット処理は、アミン化合物を用いたレジスト剥離液を用いて行う

ことが望ましい。プラズマ処理されたレジスト表面硬化層を容易に除去できるからである。

【0036】本発明におけるレジスト膜は、種々の材料からなるものを用いることができ、通常、有機化合物からなる一般的なレジスト材料が用いられる。たとえばノボラック系のレジスト材料や化学增幅型の種々のレジスト材料等を用いることができる。化学增幅型のレジスト材料としては、たとえば、ターシャリーブトキシカルボニル基で部分保護したポリヒドロキシスチレン（略称t-BOC）樹脂とトリフェニルスルホニウムトリフレート（酸発生剤）の組み合わせからなるレジストを用いることができる。

【0037】

【実施例】実施例1

本実施例について図1～2を参照して説明する。まず図1に示す工程を行った。トランジスタ等の素子を形成した半導体基板（不図示）上にHSQ膜1を形成した後、公知のダマシンプロセスにより下層配線を完成した。この下層配線は、バリアメタル膜となるTaN膜2（膜厚50nm）および銅膜3により構成されている。

【0038】下層配線形成後、シリコン窒化膜4（膜厚*

*20nm）、HSQ膜5（膜厚1200nm）をこの順で形成し、さらにその上に所定の形状にパターニングしたレジスト膜6を設けた（図1（a））。レジスト材料としては、ターシャリーブトキシカルボニル基で部分保護したポリヒドロキシスチレン（略称t-BOC）樹脂とトリフェニルスルホニウムトリフレート（酸発生剤）の組み合わせからなる化学增幅型レジストを用いた。

【0039】このレジスト6をマスクとしてシリコン窒化膜4が露出するまでHSQ膜5およびシリコン窒化膜4をドライエッティングし、スルーホール（孔）7を形成した（図1（b））。スルーホール7の開口径は、0.2μmとした。エッティングガスとしてはCHF₃、Arの混合ガスを用いた。このとき、スルーホール7の内壁に、エッティングガスと銅膜3の反応物等からなるエッティング残渣8が付着した。一方、レジスト膜6上には、レジスト表面硬化層9が形成された。

【0040】つづいて公知のECRプラズマ装置を用い、表1の条件にて水素／窒素プラズマ処理を行った（図2（a））。

【0041】

【表1】

設定項目	設定条件
処理ガス	H ₂ およびN ₂ の混合ガス H ₂ /N ₂ =1/10（体積比）
基板温度（°C）	150
圧力（torr）	2
R Fバイアス（W）	0
ガス流量（sccm）	H ₂ : 5 N ₂ : 50
マイクロ波パワー（W）	1000

【0042】つづいてアミン化合物を含有するレジスト剥離液を用いてウエット処理を行い、レジスト膜6を除去するとともに、プラズマ処理されたレジスト表面硬化層9およびエッティング残渣8を除去した。従来技術においては、レジスト上に堆積したレジスト表面硬化層12をレジスト剥離液によって除去することは困難であった。これに対し本実施例では、図2（a）の工程でレジスト表面硬化層12を水素／窒素プラズマ処理しているため、レジスト表面硬化層12が、レジスト剥離液によって除去できるような形態に変化している（図2（a）中のレジスト硬化層9'）。したがって、レジスト剥離液を用いたウエット処理により、スルーホール7およびHSQ膜5表面を清浄な状態とすることができる。その後、全面にTaNからなるバリアメタル膜20、銅膜21を形成した後（図2（c））、CMPにより平坦化を行い、層間接続プラグを形成した（図2（d））。さらに、上層配線を形成し、多層配線構造を完成した（不図示）。

【0043】以上のように、本実施例では、従来行われていた酸素プラズマアッティングによるレジストに代え、水素／窒素プラズマ処理およびレジスト剥離液を用いた

30 ウエット処理を併用する方法を採用しているため、銅膜3の酸化を防止しつつ、レジスト膜や堆積物等の除去を行うことができた。また、HSQ膜の誘電率上昇を防止することもできた。

【0044】なお、本実施例におけるシリコン窒化膜4は、エッティング阻止膜として用いているのではなく、銅膜3の酸化防止および銅の拡散防止のために設けられている。このような役割を果たすためには、膜厚は薄くても充分であり、本実施例では膜厚20nmとしている。このため本実施例のプロセスでは、隣接間の寄生容量の40 増大が有効に防止されている。

【0045】参考例1

表面にシリコン酸化膜を設けたシリコン基板上に、めっき法にて銅膜を成膜し、試料を作製した。この試料を複数用意し、表2に示す2種類のプラズマ雰囲気下に試料をそれぞれ2分間放置した。プラズマ発生装置としては、公知のECRプラズマ装置を用いた。その後、XPS(X-ray Photoemission Spectroscopy)法により銅酸化層の深さを測定した。結果を図13に示す。水素／窒素プラズマ処理を用いることにより、銅の酸化が著しく50 防止できることが確認された。

11

【0046】

12

* * 【表2】

設定項目	水素／窒素プラズマ処理	酸素プラズマ処理
処理ガス	H ₂ およびN ₂ の混合ガス H ₂ /N ₂ =1/10 (体積比)	酸素のみ
基板温度 (°C)	150	150
圧力 (torr)	2	2
R Fバイアス (W)	0	0
ガス流量 (sccm)	H ₂ : 5 N ₂ : 50	O ₂ : 50
マイクロ波パワー (W)	1000	1000

【0047】実施例2

本実施例について図6～7を参照して説明する。まず図6に示す工程を行った。トランジスタ等の素子を形成した半導体基板(不図示)上にHSQ膜1を形成した後、公知のダマシングプロセスにより下層配線を完成した。この下層配線は、TaN膜2(膜厚50nm)からなるバリアメタル膜および銅膜3により構成されている。下層配線形成後、シリコン窒化膜4(膜厚100nm)、HSQ膜5(膜厚1200nm)をこの順で形成し、さらにその上に所定の形状にパターニングしたレジスト膜6を設けた(図6(a))。レジスト材料としては、ターシャリーブトキシカルボニル基で部分保護したポリヒドロキシスチレン(略称t-BOC)樹脂とトリフェニルスルホニウムトリフレート(酸発生剤)の組み合わせからなる化学增幅型レジストを用いた。

【0048】このレジスト6をマスクとしてシリコン窒化膜4が露出するまでHSQ膜5をドライエッティングし※

※た(図6(b))。スルーホールの開口径は、0.2μmとした。エッティングガスとしてはC₄F₈、Ar、O₂を含む混合ガスを用いた。このガスを用いた場合、シリコン酸化膜およびシリコン窒化膜に対するエッティング選択比を大きくとれるため(エッティング速度比が、シリコン酸化膜:シリコン窒化膜=20:1)、エッティングはシリコン窒化膜4の上部でストップした。このとき、レジスト6上にはレジスト表面硬化層9が形成され、孔の内壁にはエッティング残渣10が付着した状態となる。

【0049】つづいて公知のECRプラズマ装置を用い、下記表2の条件にて水素／窒素プラズマ処理を行った(図7(a))。このプラズマ処理では、RFバイアスを印加しており、この点、実施例1の条件と異なっている。

【0050】

【表3】

設定項目	設定条件
処理ガス	H ₂ およびN ₂ の混合ガス H ₂ /N ₂ =2/10 (体積比)
基板温度 (°C)	150
圧力 (torr)	0.02
R Fバイアス (W)	20
ガス流量 (sccm)	H ₂ : 4 N ₂ : 20
マイクロ波パワー (W)	1000

【0051】つづいてアミン化合物を含有するレジスト剥離液を用いてウエット処理を行い、レジスト膜6を除去するとともに、プラズマ処理されたレジスト表面硬化層10およびエッティング残渣8を除去した(図7(b))。図7(a)の工程でレジスト表面硬化層12を水素／窒素プラズマ処理しているため、レジスト表面硬化層9はレジスト剥離液によって除去できるような形態に変化している(図7(a)中のレジスト硬化層9')。したがって、レジスト剥離液を用いたウエット処理により、スルーホール7およびHSQ膜5表面を清浄な状態とすることができる。つづいてシリコン窒化膜4をドライエッティングし、銅膜3の表面を露出させた(図7(c))。エッティングガスとして、CHF₃、Arの混合ガスを用いた。このとき、スルーホールの内壁にエッティング残渣8が付着する。次いで、アミン化合物を含有するレジスト剥離液を用いてウエット処理を行い、エッティング残渣8を除去した(図7(d))。

【0052】その後、全面にTaNからなるバリアメタル膜20、銅膜21を形成した後(図8(a))、CMPにより平坦化を行い、層間接続プラグを形成した(図8(b))。さらに、上層配線を形成し、多層配線構造を完成した(不図示)。

【0053】本実施例の方法によれば、シリコン窒化膜を露出させるまでの1段目のドライエッティング終了後、酸素プラズマアッティングによるレジストに代え、水素／窒素プラズマ処理およびレジスト剥離液を用いたウエット処理を行っている。このため、図12のようにシリコン窒化膜4の薄膜部が生じ、レジストの目合わせずれが生じた場合でも、銅膜3の酸化を防止しつつ、レジスト膜や堆積物等の除去を良好に行うことができる。また、HSQ膜の誘電率上昇も防止することができる。

【0054】

【発明の効果】以上説明したように本発明によれば、非酸化性ガスを用いたプラズマ処理とウエット処理を併用

13

しているため、易酸化性膜の酸化を防止しつつ、レジスト膜およびレジスト膜上に形成されたレジスト表面硬化層を効果的に除去することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を示す工程断面図である。

【図2】本発明の半導体装置の製造方法を示す工程断面図である。

【図3】従来の半導体装置の製造方法を示す工程断面図である。

【図4】従来の半導体装置の製造方法を示す工程断面図である。

【図5】従来の半導体装置の製造方法を示す工程断面図である。

【図6】本発明の半導体装置の製造方法を示す工程断面図である。

【図7】本発明の半導体装置の製造方法を示す工程断面図である。

【図8】本発明の半導体装置の製造方法を示す工程断面図である。

【図9】従来の半導体装置の製造方法を示す工程断面図である。

【図10】従来の半導体装置の製造方法を示す工程断面図である。

【図11】ディッキングの発生により、シリコン窒化膜の薄膜部が生じた状態を説明するための図である。

【図12】従来の半導体装置の製造方法を示す工程断面図である。

14

*図である。

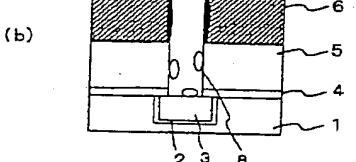
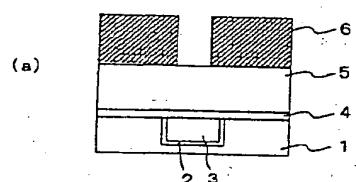
【図13】XPSにより、プラズマ処理後の銅酸化層の深さを測定した結果を示す図である。

【図14】従来の製造方法の有する課題を説明するための図である。

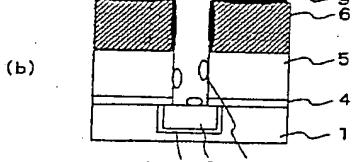
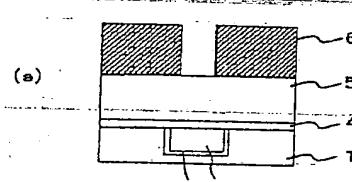
【符号の説明】

- | | |
|----|----------------------|
| 1 | H S Q 膜 |
| 2 | T a N 膜 |
| 3 | 銅膜 |
| 4 | シリコン窒化膜 |
| 5 | H S Q 膜 |
| 6 | レジスト膜 |
| 7 | スルーホール |
| 8 | エッチング残渣 |
| 9 | レジスト表面硬化層 |
| 9' | レジスト表面硬化層 |
| 10 | エッチング残渣 |
| 11 | レジスト残渣 |
| 12 | 酸化領域 |
| 20 | バリアメタル膜 |
| 21 | 銅膜 |
| 50 | 配線 |
| 51 | 配線 |
| 52 | 寄生容量 |
| 53 | 寄生容量 |
| 54 | S i O ₂ 膜 |
| 55 | S i N 膜 |

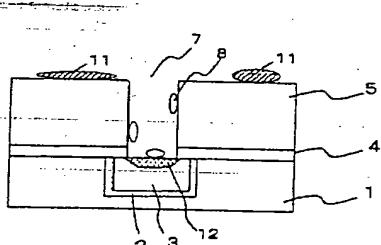
【図1】



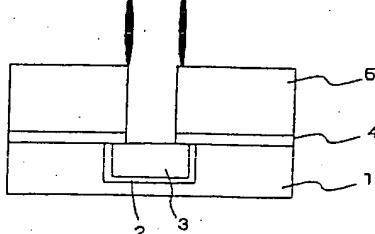
【図3】



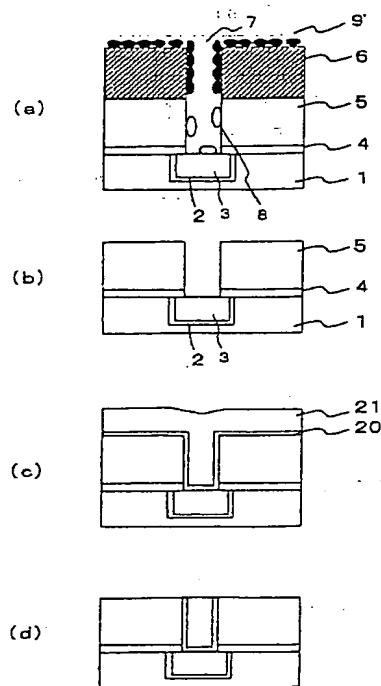
【図4】



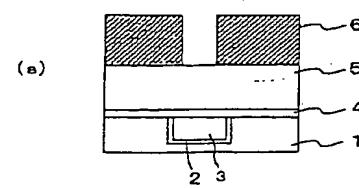
【図5】



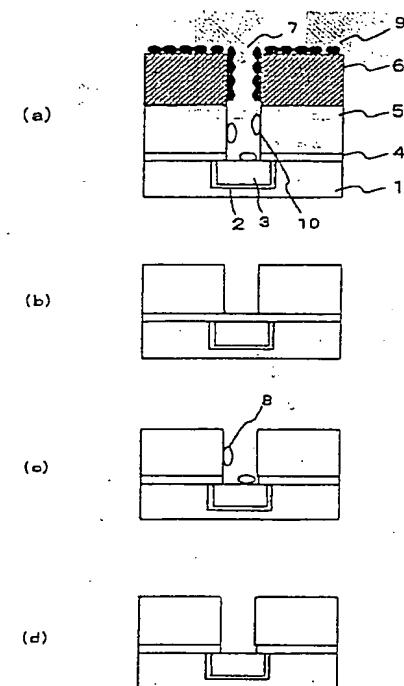
【図2】



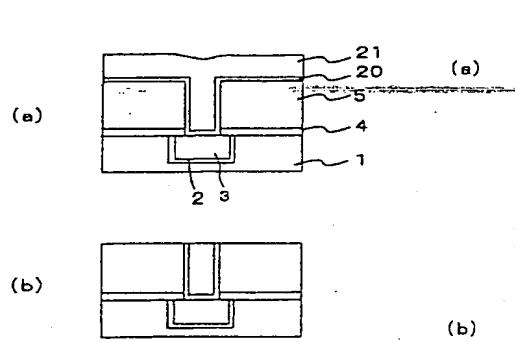
【図6】



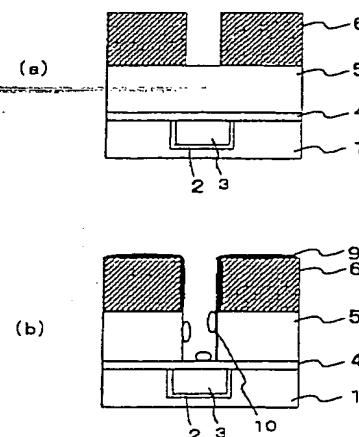
【図7】



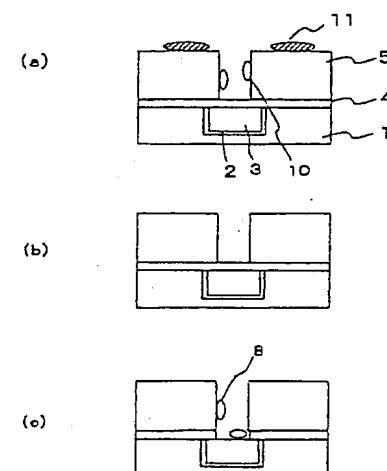
【図8】



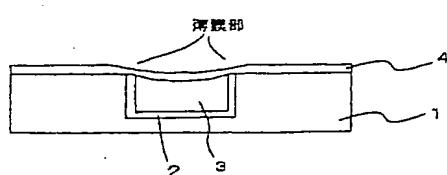
【図9】



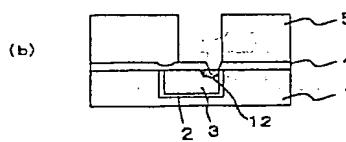
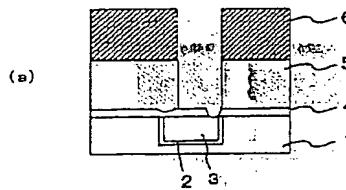
【図10】



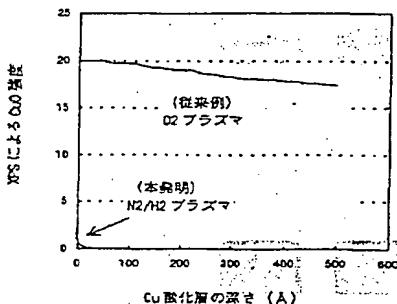
【図11】



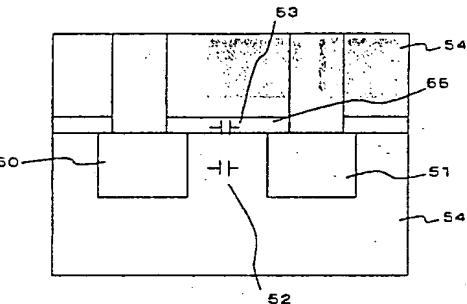
【図12】



【図13】



【図14】



フロントページの続き

(51) Int.C1.7

識別記号

F I

マークコード(参考)

H O 1 L 21/306

D

F ターム(参考) 2H096 AA25 BA11 CA12 HA23
 5F004 AA06 AA09 AA11 AA14 BA14
 CA04 CA06 DA16 DA23 DA24
 DA25 DA26 DB07 DB08 DB12
 DB23 DB26 EA10 EA23 EB01
 EB02
 5F043 AA37 CC16 CC20 DD12 DD15
GG10
 5F046 HA07 JA00 MA02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)